

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-080469

(43)Date of publication of application : 28.03.1997

(51)Int.Cl.

G02F 1/136

(21)Application number : 07-235351

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 13.09.1995

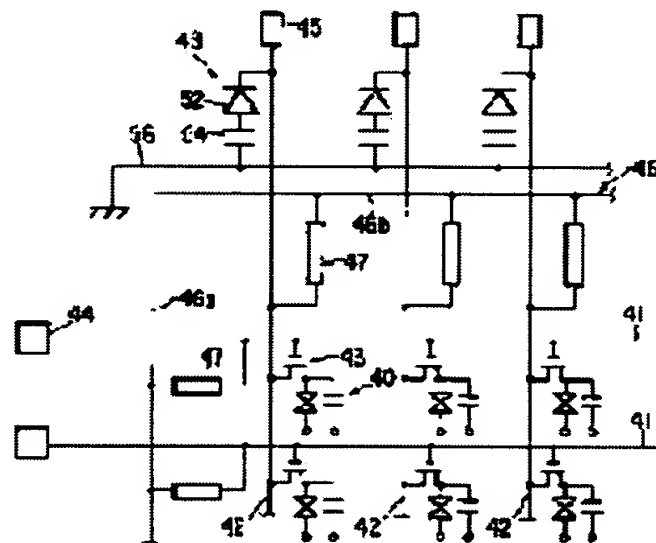
(72)Inventor : UCHIKOSEKI SHIYUICHI

(54) DISPLAY DEVICE WITH SURGE VOLTAGE PROTECTIVE FUNCTION

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent an effect of a surge voltage from affecting a display area when the surge voltage is applied to a feeding electrode pad of a signal line and an address line.

SOLUTION: A liquid crystal display device is provided with plural pixels 40 arranged in matrix, and a thin film transistor 43 is arranged on each pixel 40. For optionally selecting respective pixels 40, the address lines 41 and the signal lines 42 are arranged, and the thin film transistors 43 are arranged on these intersected points. The signal line 42 is grounded through a surge voltage protective means 48 between the feeding electrode pad of the signal line 42 and the thin film transistor 43, and the surge voltage protective means 48 is provided with a diode 52 and a capacitor 54 connected in series each other. The cathode of the diode 52 is connected to the signal line 42, and the anode is connected to one end of the capacitor 54, and the other end of the capacitor 54 is grounded.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-80469

(43) 公開日 平成9年(1997)3月28日

(51) Int.Cl.⁶

G 0 2 F 1/136

識別記号

5 0 0

庁内整理番号

F I

G 0 2 F 1/136

技術表示箇所

5 0 0

審査請求 未請求 請求項の数 3 O L (全 8 頁)

(21) 出願番号 特願平7-235351

(22) 出願日 平成7年(1995)9月13日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 内古関 修一

神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術研究所内

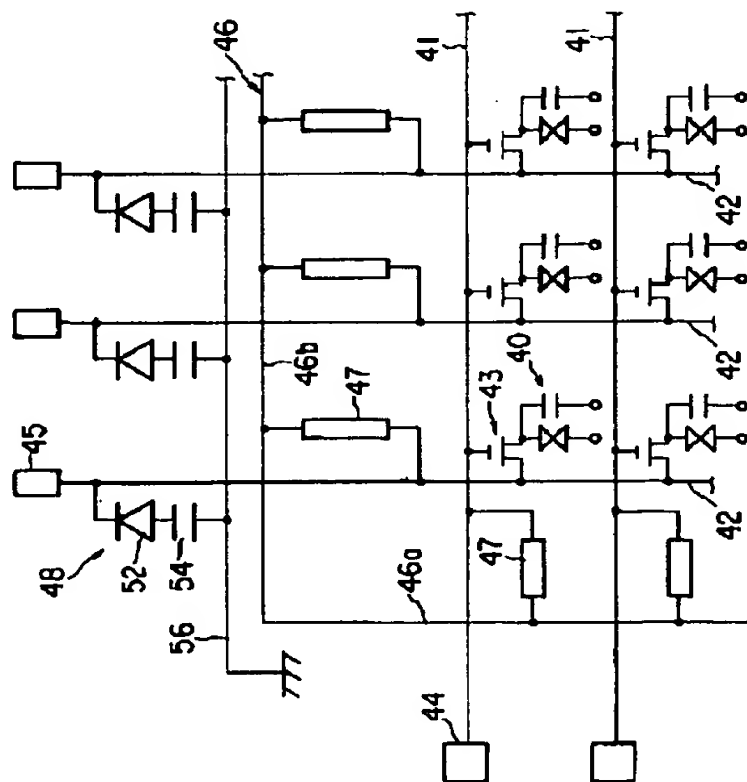
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 サージ電圧保護機能を有する表示装置

(57) 【要約】

【課題】サージ電圧が信号線やアドレス線の給電用電極パッドに加わった場合、その影響が表示領域に及ばないようにする。

【解決手段】液晶表示装置はマトリックス状に配設された複数の画素40を有し、各画素40に薄膜トランジスタ43が配設される。各画素40を任意に選択するため、アドレス線41及び信号線42が配設され、これらの交点に薄膜トランジスタ43が配置される。信号線42の給電用電極パッド45と薄膜トランジスタ43との間で、信号線42がサージ電圧保護手段48を介して接地される。サージ電圧保護手段48は互いに直列に接続されたダイオード52及びキャパシタ54を具備する。ダイオード52のカソードが信号線42に接続され且つアノードがキャパシタ54の一端に接続される。キャパシタ54の他端は接地される。



【特許請求の範囲】

【請求項1】マトリックス状に配設され且つ夫々がスイッチング素子を有する複数の画素と、前記画素を選択するために前記スイッチング素子に夫々接続された複数の信号線及び複数のアドレス線と、を具備するアクティブマトリックス型の表示装置において、

前記信号線の給電用電極パッドと前記スイッチング素子との間で、前記各信号線が第1のサージ電圧保護手段を介して接地され、ここで、前記第1のサージ電圧保護手段が互いに直列に接続された整流素子と容量素子とを具備し、前記整流素子のカソードが前記信号線に接続され且つアノードが前記容量素子の一端に接続されると共に、前記容量素子の他端が接地されることを特徴とするサージ電圧保護機能を有する表示装置

【請求項2】前記アドレス線の給電用電極パッドと前記スイッチング素子との間で、前記各アドレス線が第2のサージ電圧保護手段を介して接地され、ここで、前記第2のサージ電圧保護手段が互いに直列に接続された第2の整流素子と第2の容量素子とを具備し、前記第2の容量素子の一端が前記アドレス線に接続され且つ他端が前記第2の整流素子のアノードに接続されると共に、前記第2の整流素子のカソードが接地されることを特徴とする請求項1に記載のサージ電圧保護機能を有する表示装置。

【請求項3】前記第1のサージ電圧保護手段の接続ノードにおける前記信号線の断線を修復するため、前記接続ノードに隣接して、前記信号線が冗長構造を有することを特徴とする請求項1または2に記載のサージ電圧保護機能を有する表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はサージ電圧保護機能を有する表示装置に関し、より具体的には給電用電極パッドに印加される静電気等によるサージ電圧の影響が表示領域に及ばないようにしたアクティブマトリックス型の表示装置に関する。

【0002】

【従来の技術】液晶表示装置(LCD)は、可視光に対して透明な2枚の対向する基板、例えばガラス基板と、基板間に挟在する液晶とを具備する。この様に、液晶表示装置を構成する層は大半が絶縁物により占められる。従って、液晶表示装置には電荷が蓄積しやすい。例えば、製造工程中、製造装置の搬送系において、液晶表示装置内には摩擦、乾燥、剥離帯電等により電荷が蓄積する。ガラス基板により大半が占められる液晶表示装置において、製造工程中、製造装置と液晶表示装置との間の電位を同一にすることは困難である。このため、製造工程中に液晶表示装置に静電気が蓄積され、放電する可能性がある。

【0003】トランジスタが各画素のスイッチング素子

としてマトリックス状に配列されるアクティブマトリックス型の液晶表示装置において、静電気は画質を著しく劣化させる。この型の液晶表示装置においては、画素電位を制御するため、導電性配線からなるアドレス線(ゲート線)と信号線とが絶縁膜を介して格子状に配置される。静電気によりアドレス線と信号線との間の電位差が大きくなると、この間に介在している絶縁膜が破壊される。絶縁膜が破壊されることによって、アドレス線と信号線との間のリークまたはショートが生じる。結果として、アドレス線または信号線に与えられた信号が正常に伝達されなくなり、画素電位制御が不可能になり、液晶表示装置の画質が著しく劣化する。具体的には液晶表示装置の点欠陥や線欠陥として認識される。

【0004】特に薄膜トランジスタが各画素に接続されるアクティブマトリックス型の液晶表示装置では、薄膜トランジスタの性能が静電気等によるサージ電圧により劣化することを考慮しなくてはならない。即ち、アドレス線や信号線に静電放電されてサージ電流が流れると、配線を伝搬して薄膜トランジスタ特性が劣化し、薄膜トランジスタ領域でショートが発生したり、特性の劣化による画素電位の書き込み不足などが発生する。

【0005】図9は従来の静電気保護機能を有する従来の液晶表示装置を示す。複数のアドレス線11と複数の信号線12とがマトリックス状に配設され、夫々の交点に画素を制御するスイッチング素子として薄膜トランジスタ13が接続される。アドレス線11及び信号線12の終端には給電用の電極パッド14、15が配設される。表示領域とパッドとの間には、導電性配線で形成されたショートリング16が配設される。ショートリング16とアドレス線11及び信号線12とは静電気保護手段17を介して接続される。即ち、各配線11、12は2つの静電気保護手段17を介して接続される。

【0006】静電気保護手段17は表示領域内に発生する電位差を低減する役割を果たす。例えば、図9に示したアドレス線11aとアドレス線11bとの間に電位差が発生した場合を考える。電位差が生じる原因として、液晶表示装置と製造装置との摩擦、剥離帯電が挙げられる。これらの静電気は液晶表示装置に一樣に与えられることはないので基板面内に電位分布が発生する。例えば、アドレス線11a、11b間の電位分布は静電気保護手段17を介して経路18のように緩和され、静電破壊を防止することができる。ショートリング16によって全ての配線は接続されているので、信号線間の静電破壊、信号線とアドレス線との間の静電破壊に関してもアドレス線間と同様に緩和される。

【0007】この様に、従来の静電気保護手段は、液晶表示装置の面内電位差を軽減することにより静電破壊を防止している。即ち、静電気保護手段によりアレイ基板が同一電位に保持され、アレイ基板表面の電位差による表示領域内の層間ショートや薄膜トランジスタの特性劣

化の発生が防止される。

【0008】

【発明が解決しようとする課題】しかし、静電放電等により電極パッド14、15に直接サージ電圧が印加された場合、従来の静電気保護手段は無効となる。静電気が直接パッドに印加されるのは、例えば、液晶表示装置の基板周辺のみが製造装置の一部に接している場合である。即ち、製造装置と基板との間に電位差が発生した場合、基板端に最も近い導電性物である電極パッドに静電放電が生じる。更に、検査装置では電極パッド14、15に直接検査プローブが接近するので、検査装置と基板との間に電位差が存在するとプローブから直接放電が生じる。

【0009】アドレス線や信号線の給電用電極パッド14、15にサージ電圧が印加されると、その影響は表示領域内に及ぶ。このようなサージ電圧の印加は、アドレス線及び信号線に駆動波形が印加される代わりに、短時間ながら高電圧のパルスが印加されることに相当する。従って、配線自身に高電圧が印加されると同時に、画素に接続された薄膜トランジスタにも影響が及ぶ。このため、アドレス線と信号線との間などの層間ショートが発生すると同時に、薄膜トランジスタ部での層間ショートも生じる。

【0010】また、電極パッドにおいて静電放電が生じる場合、上述のような層間ショートが発生しない弱いサージ電圧でも、液晶表示装置の表示欠陥が発生する可能性がある。上述のように、電極パッドにサージ電圧が印加されると、薄膜トランジスタは短時間ではあるが高電圧で駆動される。一般に、薄膜トランジスタに電氣的なストレスが加わると特性の変動が観測されることが知られている。サージ電圧は短いパルスであるが、その電圧は、層間ショートが発生しない弱い静電放電でも数百ボルトに達する。電氣的なストレスが加わった薄膜トランジスタは特性が変動し、画素電位制御に影響を与える。

【0011】例えば、正のサージ電圧がアドレス線の電極パッドに印加された場合、薄膜トランジスタの閾値電圧が高くなり画素に十分な電位を与えることができなくなる。その結果として、ノーマリーホワイトモードの場合、液晶表示装置は白い画像欠陥を生じる。電極パッドにおいて静電放電が生じると、そのパッドに接続される薄膜トランジスタのみに電氣的なストレスが与えられ、従ってこれにより生じる欠陥は白い線欠陥として認識されることとなる。

【0012】上述の如く、従来の静電気保護手段は配線間の電位差を解消する目的で配設され、従って、製造工程中に徐々に蓄積される静電気により生じる面内電位分布の不均一は解消することができる。しかし、静電気等によるサージ電圧が電極パッドに直接印加される場合は、表示部の薄膜トランジスタに影響を与えることなく、十分に短い時間で配線間の電位差を解消することは

できない。即ち、このような静電気保護機能を有する従来の液晶表示装置においては、静電気等により電極パッドに印加されるサージ電圧については、その影響が表示領域に及ぶのを十分に防止することができない。

【0013】本発明はかかる従来技術の問題点に鑑みてなされたものであり、静電気等のサージ電圧が信号線やアドレス線の給電用電極パッドに加わった場合、その影響が表示領域に及ばないようにしたサージ電圧保護機能を有する表示装置を提供することを目的とする。

【0014】本発明は、特に、アクティブマトリックス型の表示装置において、サージ電圧の中で最も悪影響が大きい、信号線の給電用電極パッドへの負のサージ電圧に対する保護を第1の対象とする。

【0015】

【課題を解決するための手段】本発明の第1の視点に係るサージ電圧保護機能を有する表示装置は、マトリクス状に配設され且つ夫々がスイッチング素子を有する複数の画素と、前記画素を選択するために前記スイッチング素子に夫々接続された複数の信号線及び複数のアドレス線と、を具備するアクティブマトリックス型の表示装置において、前記信号線の給電用電極パッドと前記スイッチング素子との間で、前記各信号線が第1のサージ電圧保護手段を介して接地され、ここで、前記第1のサージ電圧保護手段が互いに直列に接続された整流素子と容量素子とを具備し、前記整流素子のカソードが前記信号線に接続され且つアノードが前記容量素子の一端に接続されると共に、前記容量素子の他端が接地されることを特徴とする。

【0016】本発明の第2の視点に係るサージ電圧保護機能を有する表示装置は、本発明の第1の視点に係る装置において、前記アドレス線の給電用電極パッドと前記スイッチング素子との間で、前記各アドレス線が第2のサージ電圧保護手段を介して接地され、ここで、前記第2のサージ電圧保護手段が互いに直列に接続された第2の整流素子と第2の容量素子とを具備し、前記第2の容量素子の一端が前記アドレス線に接続され且つ他端が前記第2の整流素子のアノードに接続されると共に、前記第2の整流素子のカソードが接地されることを特徴とする。

【0017】本発明の第3の視点に係るサージ電圧保護機能を有する表示装置は、本発明の第1または第2の視点に係る装置において、前記第1のサージ電圧保護手段の接続ノードにおける前記信号線の断線を修復するため、前記接続ノードに隣接して、前記信号線が冗長構造を有することを特徴とする。

【0018】本発明の第1の視点に係る装置において、信号線の給電用電極パッドに大きな負のサージ電圧が印加された場合、第1のサージ電圧保護手段の容量素子が絶縁破壊を起こす。このため、サージ電流がグラウンドに流れ、負のサージ電圧の影響が表示領域に及ぶのが防

止される。

【0019】本発明の第2の視点に係る装置において、アドレス線の給電用電極パッドに大きな正のサージ電圧が印加された場合、第2のサージ電圧保護手段の容量素子が絶縁破壊を起こす。このため、サージ電流がグラウンドに流れ、正のサージ電圧の影響が表示領域に及ぶのが防止される。

【0020】本発明の第3の視点に係る装置において、サージ電圧により信号線が第1のサージ電圧保護手段の接続ノードで断線した場合、冗長構造により信号線の断線が修復され、これにより表示領域に信号を送れるようになる。

【0021】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照して説明する。図1は、本発明の実施の形態に係るサージ電圧保護機能を有するアクティブマトリックス型の液晶表示装置の等価回路を示す。本液晶表示装置は、マトリックス状に配設された複数の画素40を有し、各画素40にスイッチング素子として薄膜トランジスタ43が配設される。各画素40を任意に選択するため、複数のアドレス線41及び複数の信号線42が配設される。アドレス線41及び信号線42の交点に薄膜トランジスタ43が配置され且つ接続される。アドレス線41及び信号線42の終端には給電用の電極パッド44、45が配設される。表示領域と電極パッド44、45との間には、表示領域の静電気の面内分布を緩和するため、導電性配線で形成されたショートリング46が配設される。ショートリング46とアドレス線41及び信号線42とは静電気保護手段47を介して接続される。即ち、各配線41、42は2つの静電気保護手段47を介して接続される。

【0022】静電気保護手段47は図1図示の静電気保護手段17と同じものとしてすることができる。図2

(a)、(b)、(c)は静電気保護手段47として使用可能な回路を示す。図2(a)はBACK-T-O-BACKダイオード21を、図2(b)は抵抗22を、図2(c)は抵抗23とキャパシタ24とを組合わせた回路を夫々示す。

【0023】各信号線42には、対応の電極パッド45とスイッチング素子である薄膜トランジスタ43との間で、サージ電圧保護手段48が接続される。本実施の形態において、保護手段48は整流素子であるダイオード52と容量素子であるキャパシタ54とを直列に接続した回路からなる。ダイオード52のカソードが信号線に接続され、アノードがキャパシタ54の一端に接続される。キャパシタ54の他端はアース線56を介して接地される。

【0024】図3は、透明絶縁基板、例えばガラス基板61上に形成された薄膜トランジスタ43及びサージ電圧保護手段48の構造を示す図である。薄膜トランジスタ43は、基板61に配設されたゲート電極62を有し、これはゲート絶縁膜63により覆われる。ゲート電極62はアドレス線41の一部を構成する。ゲート絶縁膜63上にはi型半導体からなる活性層64が配設され、活性層64により薄膜トランジスタのソース、ドレイン及びチャネル領域が構成される。チャネル領域に対応して活性層64上には絶縁体からなるチャネル保護膜65が配設される。またソース及びドレイン領域に対応して活性層64及び保護膜65上にはn+型半導体からなるコンタクト層66a、66bが離間して配設される。コンタクト層66a、66b上に更にソース及びドレイン電極67a、67bが夫々配設される。ソース電極67aは対応の画素電極68に接続される。ドレイン電極67bは信号線42の一部を構成する。

【0025】サージ電圧保護手段48は、基板61に配設されたキャパシタ電極72を有し、これはキャパシタ絶縁膜73により覆われる。キャパシタ電極72及びキャパシタ絶縁膜73は夫々トランジスタ43のゲート電極62及びゲート絶縁膜63と同時に形成される。キャパシタ電極72はアース線56の一部を構成する。キャパシタ絶縁膜73上にはi型半導体からなるアノード層74とn+型半導体からなるカソード層76とが積層され、これによりダイオード52が構成される。アノード層74及びカソード層76は夫々トランジスタ43の活性層64及びコンタクト層66a、66bと同時に形成される。アノード層74及びカソード層76を覆うようにカソード電極77が配設される。カソード電極77はトランジスタ43のソース及びドレイン電極67a、67bと同時に形成される。カソード電極77は信号線42の一部を構成する。

【0026】図4は、図3図示の構造の製造方法を工程順に示す。先ず、透明絶縁基板、例えばガラス基板61上に導電薄膜82を堆積させる。導電薄膜82は、例えば、Mo、Ta、Al、Wまたはこれらの内の少なくとも二つを含む合金をスパッタ法で堆積した金属薄膜からなる。次に、導電薄膜81をパターニングし、ゲート電極62を含むアドレス線41と、キャパシタ電極72を含むアース線56を形成する。また、導電薄膜81のパターニングにより、ショートリング46の部分46bも同時に形成する(図4(a))。

【0027】次に、プラズマCVD法で基板61上に絶縁膜83、i型半導体層84、絶縁膜85を順に堆積させる(図4(b))。そして、絶縁膜85をパターニングしてチャネル保護膜65を形成する(図4(c))。

【0028】絶縁膜83は、例えば、シリコン酸化膜、シリコン窒化膜またはこれらの堆積膜からなる。絶縁膜83の膜厚は、ゲート絶縁膜63において膜厚が約200nm〜約450nmとなるようにする。絶縁膜83を例えばシリコン酸化膜、シリコン窒化膜の積層構造とする場合、信号線42(電極67a)とアドレス線41

(電極62)との絶縁性を考慮し、シリコン酸化膜の膜厚を約200nm〜約400nmとし、シリコン窒化膜の膜厚を約30nm〜約50nmとすることが好ましい。また、活性層64とゲート絶縁膜63との界面状態を良好にするため、シリコン窒化膜は半導体層84と接するようにする。

【0029】i型半導体層84は、例えば、水素化した非晶質シリコンからなる。半導体層84の膜厚は約20nm〜約100nmが好ましい。チャネル保護膜65となる絶縁膜85は、例えば、シリコン酸化膜、シリコン窒化膜またはこれらの堆積膜からなる。絶縁膜85の膜厚は約100nm〜約300nmが好ましい。

【0030】なお、図3及び図4の構造とは異なり、チャネル保護膜が、例えばゲート電極をマスクとした自己整合的な方法で形成可能な場合は、アドレス線電極パッド付近のダイオード構造を実現するために、チャネル保護膜を除去する工程が必要である。この場合の、ダイオード構造を実現するためのチャネル保護膜除去方法は次の通りである。まず、ゲート電極をマスクとして露光して形成されたレジストパターンを通常のフォトリソグラフィー露光を利用し、薄膜トランジスタ部以外のレジストパターンを除去する。信号線パッド付近ではアドレス線が存在しないので、レジストパターンは形成されず、この様な二重の露光に対する配慮は無用である。

【0031】図4に戻り、チャネル保護膜65を形成後、プラズマCVD法によってn+型半導体層86を堆積する(図4(d))。n+型半導体層86は、例えば、Pをドーパした非晶質シリコン膜(n+型シリコン膜)からなる。この膜は、例えば、成膜ガスに PH_3 ガスを混合してプラズマCVD法によって成膜することができる。次に、i型半導体層84及びn+型半導体層86をパターニングし、各薄膜トランジスタ43及びサージ電圧保護手段48を素子分離する(図4(e))。この際、各静電気保護手段47に対応する部分(図示せず)も素子分離する。

【0032】次に、透明導電薄膜、例えばITO(Indium Tin Oxide)を使用して画素電極68を形成する。次に、アドレス線と同一レベルにある金属層との接続を図るため、絶縁膜83にコンタクトホール(図示せず)を形成する。次に、金属薄膜を堆積すると共にパターニングし、ソース及びドレイン電極67a、67b、カソード電極77と共に信号線42を形成する。また、この際、ショートリング46の部分46aも形成する。この時、コンタクトホール内に電極が形成され、アドレス線41が静電気保護手段47を介してショートリングの部分46aと接続されると共に、また、信号線も静電気保護手段47を介してショートリングの部分46bと接続される。

【0033】以上のようにして、液晶表示装置に薄膜トランジスタ43、サージ電圧保護手段48及び静電気保

護手段47が同時に形成可能となる。図1図示のアクティブマトリックス型の液晶表示装置において、信号線42の電極パッド45に大きな負のサージ電圧が印加された場合、保護手段48のキャパシタ54が絶縁破壊を起こす。このため、サージ電流がアース線56に流れ、負のサージ電圧の影響が表示領域に及ぶのが防止される。他方、信号線42の電極パッド45に正のサージ電圧が印加された場合は、整流素子52の作用により、保護手段48のキャパシタ54が絶縁破壊を起こすことはない。従って、電極パッド45に正のサージ電圧が印加された場合は、その影響が表示領域に及ぶことになるが、下記の如く、負のサージ電圧に比べるとその悪影響は小さい。

【0034】図5は、従来の装置において、信号線の給電用電極パッドに正または負のサージ電圧($\pm 400\text{V}$)が印加された場合、同パッドに最も近い画素の薄膜トランジスタの特性がどの様にシフトするかを示す。ここでソースドレイン間電圧は 0.1V である。図中、「○」はサージ電圧が印加されない時の基準の特性を示し、「×」は -400V のサージ電圧が印加された後の特性を示し、「△」は $+400\text{V}$ のサージ電圧が印加された後の特性を示す。図5から、薄膜トランジスタの特性は、正のサージ電圧に対しては大きく劣化しないことが分かる。即ち、信号線の給電用電極パッドにおいては、負のサージ電圧についてのみ考慮すればよい。

【0035】図6は、信号線の給電用電極パッドに負のサージ電圧(-400V)が印加された場合、各画素の薄膜トランジスタの閾値がどの程度シフトするかを示す。図中、横軸はアドレス線の番号を示し、即ち、これは給電用電極パッドからの距離を代表する。縦軸に示すシフト量は、正常時との閾値の差であり、即ち、 0V であれば、正常時からシフトしていないことを意味する。また、図中、ラインL1は図9図示の従来の液晶表示装置の場合を示し、ラインL2は図1図示の液晶表示装置の場合を示す。

【0036】図6図示の如く、従来の液晶表示装置の場合、給電用電極パッドに近い画素のトランジスタほど、その閾値が大幅にシフトしている。電極パッドから離れるほど即ち内部のトランジスタほど正常な閾値との差は縮小するが、依然、それらのシフト量は表示機能に影響が出るほど大きなものとなっている。

【0037】これに対して本発明の液晶表示装置の場合、給電用電極パッドに最も近い画素のトランジスタでも、その閾値のシフト量は 1V 以下であり、これは、表示機能に影響がでない値である。また、電極パッドから離れるほどトランジスタのシフト量は更に小さくなり、従って、本発明の液晶表示装置においては、給電用電極パッドに負のサージ電圧が印加されても、その影響が表示領域に及ばないことが分かる。

【0038】上述の如く、整流素子52と容量素子54

とを直列に接続した本発明に係るサージ電圧保護手段48を信号線42に接続することにより、信号線の給電用電極パッド45に印加される負のサージ電圧から表示領域を保護することができる。また、本発明に係るサージ電圧保護手段48は、アクティブマトリックス型の液晶表示装置に必須のスイッチング素子（薄膜トランジスタ43）の構成層を利用してこれと同時に形成することができる。従って、本発明に係るサージ電圧保護手段48は、従来の製造プロセスに別の工程を追加することなく形成することができる。

【0039】図7は、本発明に係るサージ電圧保護手段48の冗長構造を示す。負のサージ電圧が信号線42の給電用電極パッド45に印加され、サージ電流が本発明に係るサージ電圧保護手段48に流れると、保護手段48の接続ノード（カソード電極77）に対応して信号線42が焼き切れる可能性がある。この場合、信号線42が断線して表示領域に信号を送れなくなる。

【0040】この様な場合を想定し、ゲート電極62及びキャパシタ電極72を形成するために導電薄膜82

（図4参照）をパターニングする際に、キャパシタ電極72に隣接して、片側或いは両側にリペア用電極92を設ける。また、ソース及びドレイン電極67a、67bやカソード電極77を形成するために金属薄膜をパターニングする際に、カソード電極77の前後の位置に、夫々信号線42の分岐部97を設ける。信号線42の分岐部97は、絶縁膜73を介してリペア用電極92と部分的に対向する。サージ電圧により信号線42が保護手段48の接続ノード（カソード電極77）で断線した場合、分岐部97とリペア用電極92との対向部分99をレーザーにより短絡させる。これにより信号線42の断線が修復され、表示領域に信号を送れるようになる。

【0041】図8は、本発明の別の実施の形態に係るサージ電圧保護機能を有するアクティブマトリックス型の液晶表示装置の等価回路を示す。図8中、図1図示の実施の形態と同一の部分には同一の符号を付して説明を省略する。

【0042】この実施の形態においては、信号線42の給電用電極パッド45に負のサージ電圧が印加された場合だけでなく、アドレス線41の給電用電極パッド44に正のサージ電圧が印加された場合も、表示領域を保護するように構成される。このため、各アドレス線41には、対応の電極パッド44とスイッチング素子である薄膜トランジスタ43との間で、第2のサージ電圧保護手段49が接続される。本実施の形態において、保護手段49は第1のサージ電圧保護手段48と同様、整流素子であるダイオード53と容量素子であるキャパシタ55とを直列に接続した回路からなる。キャパシタ55の一端がアドレス線41に接続され、他端がダイオード53のアノードに接続される。ダイオード53のカソードはアース線57を介して接地される。

【0043】第2のサージ電圧保護手段49は、図3図示の第1のサージ電圧保護手段48と同じ構造をなし、上述の第1のサージ電圧保護手段48の形成方法と同じ方法で、薄膜トランジスタ43と同時に形成される。ただし、下側のキャパシタ電極72がアドレス線41の一部を構成する一方、カソード電極77がアース線57の一部を構成するように設計される。

【0044】図8図示のアクティブマトリックス型の液晶表示装置において、アドレス線41の電極パッド44に大きな正のサージ電圧が印加された場合、保護手段49のキャパシタ53が絶縁破壊を起こす。このため、サージ電流がアース線57に流れ、正のサージ電圧の影響が表示領域に及ぶのが防止される。他方、アドレス線41の電極パッド44に負のサージ電圧が印加された場合は、整流素子53の作用により、保護手段49のキャパシタ55が絶縁破壊を起こすことはない。従って、電極パッド44に負のサージ電圧が印加された場合は、その影響が表示領域に及ぶことになるが、正のサージ電圧に比べるとその悪影響は小さい。

【0045】上述の如く、整流素子53と容量素子55とを直列に接続した本発明に係る第2のサージ電圧保護手段49をアドレス線41に接続することにより、アドレス線の給電用電極パッド44に印加される正のサージ電圧から表示領域を保護することができる。また、本発明に係る第2のサージ電圧保護手段49は、アクティブマトリックス型の液晶表示装置に必須のスイッチング素子（薄膜トランジスタ43）の構成層を利用してこれと同時に形成することができる。従って、本発明に係る第2のサージ電圧保護手段49は、従来の製造プロセスに別の工程を追加することなく形成することができる。

【0046】なお、第2のサージ電圧保護手段においても、サージ電流により保護手段49の接続ノードでアドレス線41が断線するのに備え、図7図示のような冗長構造を設けることができる。この場合、キャパシタ電極72の前後でアドレス線41に分岐部を形成し、これに対応して、カソード電極77を形成するための金属薄膜を利用してリペア用電極を形成するようにする。

【0047】

【発明の効果】本発明によれば、整流素子と容量素子とを直列に接続した第1のサージ電圧保護手段を信号線に接続することにより、信号線の給電用電極パッドに印加される負のサージ電圧から表示領域を保護することができる。

【0048】また、本発明によれば、整流素子と容量素子とを直列に接続した第2のサージ電圧保護手段をアドレス線に接続することにより、アドレス線の給電用電極パッドに印加される正のサージ電圧から表示領域を保護することができる。

【0049】また、本発明によれば、第1のサージ電圧保護手段の接続ノードに対応して信号線に冗長構造を設

けることにより、サージ電圧により信号線が該部で断線した場合、信号線の断線を修復し、表示領域に信号を送ることができる。

【0050】なお、第1及び第2のサージ電圧保護手段は、スイッチング素子（薄膜トランジスタ）の構成層を利用してこれと同時に形成することができる。従って、本発明に係る第1及び第2のサージ電圧保護手段は、従来の製造プロセスに別の工程を追加することなく形成することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態に係るサージ電圧保護機能を有するアクティブマトリックス型の液晶表示装置の等価回路を示す図。

【図2】図1図示の装置の静電気保護手段を例を示す図。

【図3】図1図示の装置の薄膜トランジスタとサージ電圧保護手段とを示す断面図。

【図4】図3図示の構造の製造方法を工程順に示す図。

【図5】従来の装置において、信号線の給電用電極パッドに正または負のサージ電圧が印加された場合、同パッ

ドに最も近い画素の薄膜トランジスタの特性がどの様にシフトするかを示すグラフ。

【図6】本発明の装置及び従来の装置において、信号線の給電用電極パッドに負のサージ電圧が印加された場合、各画素の薄膜トランジスタの閾値がどの程度シフトするかを示すグラフ。

【図7】本発明に係るサージ電圧保護手段の冗長構造を示す図。

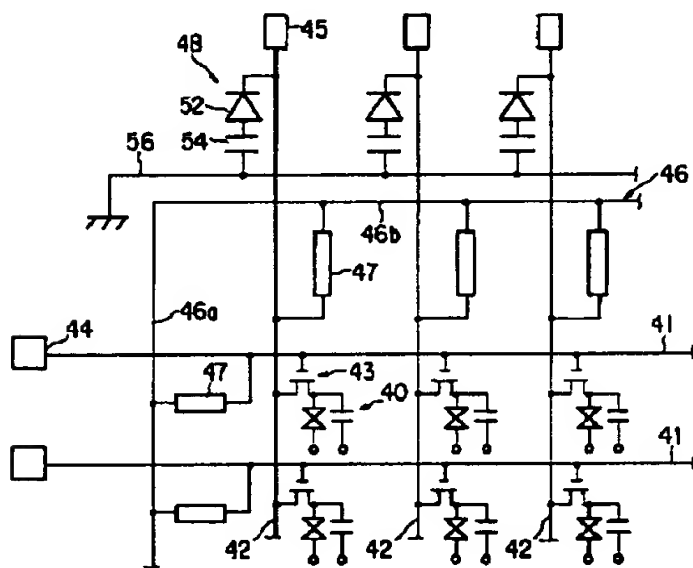
【図8】本発明の別の実施の形態に係るサージ電圧保護機能を有するアクティブマトリックス型の液晶表示装置の等価回路を示す図。

【図9】従来のアクティブマトリックス型の液晶表示装置の等価回路を示す図。

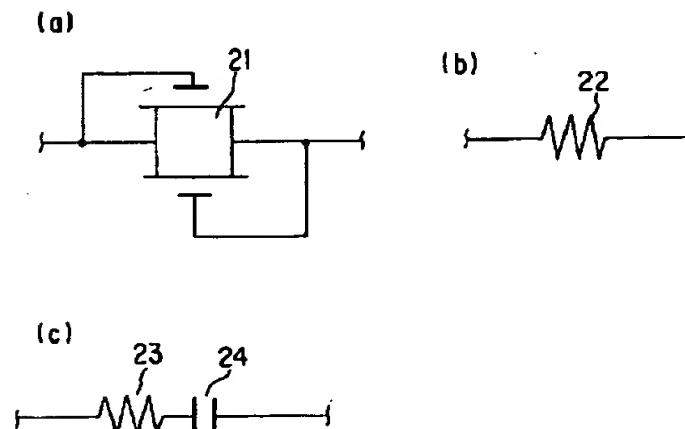
【符号の説明】

40…画素、41…アドレス線、42…信号線、43…薄膜トランジスタ、44、45…電極パッド、46…ショートリング、47…静電気防止手段、48、49…サージ電圧保護手段、52、53…ダイオード、54、55…キャパシタ、56、57…アース線。

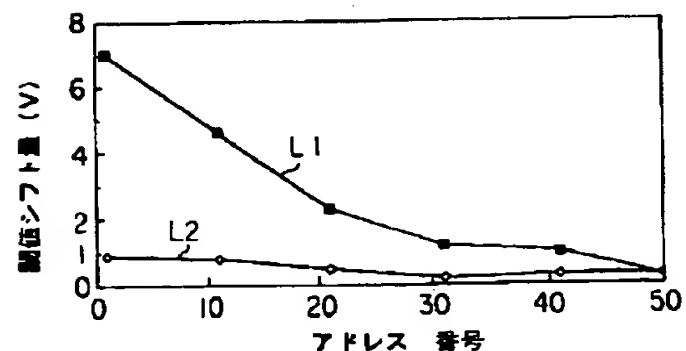
【図1】



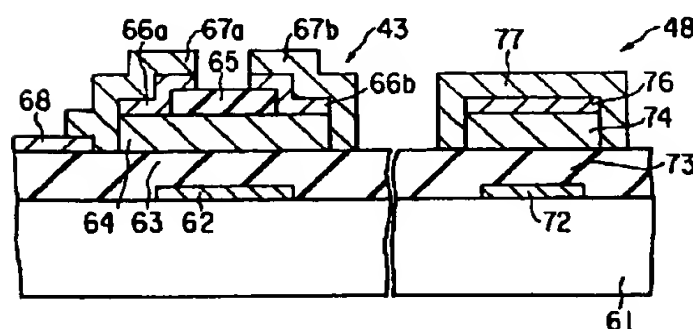
【図2】



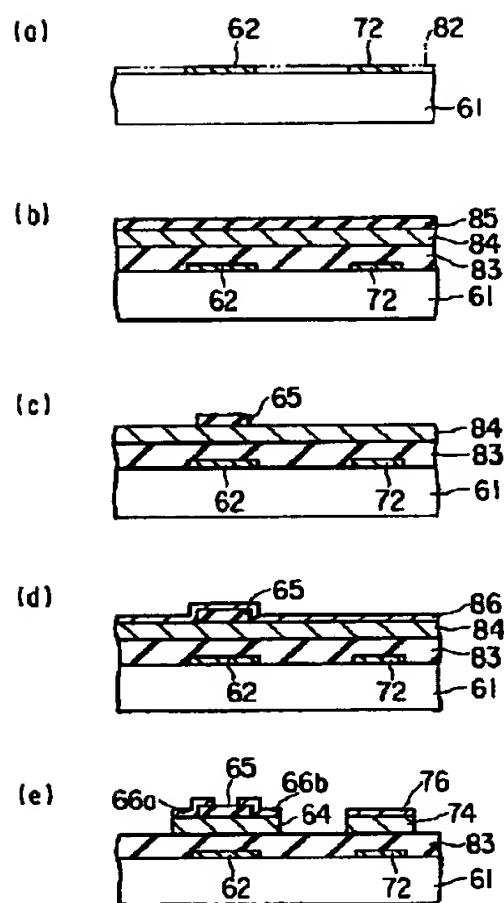
【図6】



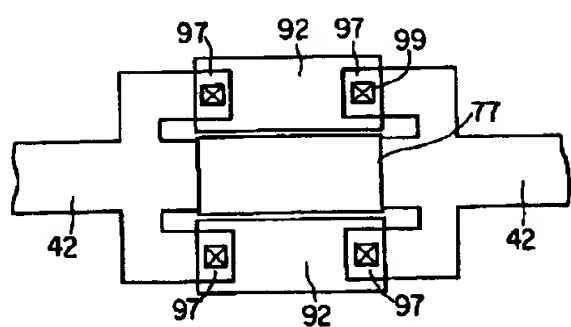
【図3】



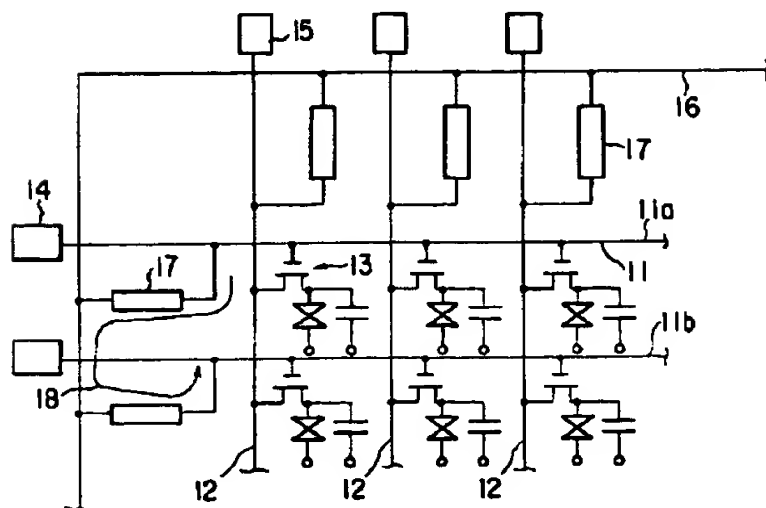
【図4】



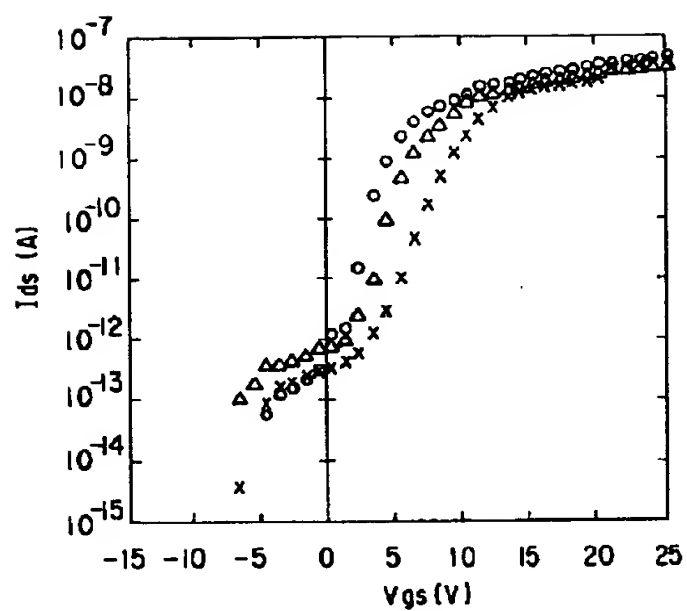
【図7】



【図9】



【図5】



【図8】

